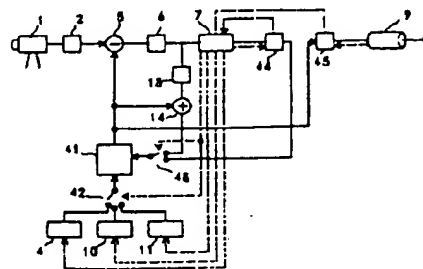


(54) INTER-FRAME PREDICTIVE ENCODER/DECODER

(11) 4-326281 (A) (43) 16.11.1992 (19) JP
 (21) Appl. No. 3-95496 (22) 25.4.1991
 (71) HITACHI LTD (72) MASAOKI TAKIZAWA
 (51) Int. Cl.⁵. H04N7/137

PURPOSE: To miniaturize the entire device by mounting memories for frame memory and smoothing at a single LSI memory and reading a variable length code word, which is inputted/outputted to the memory for smoothing, through a memory with small capacity.

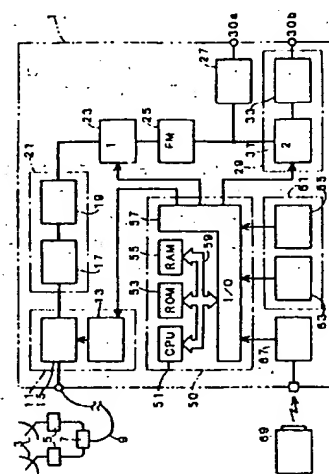
CONSTITUTION: When using an LSI memory 41 as the frame memory, the address terminal of the LSI memory 41 is connected through an address change-over switch 42 to an address generating circuit 4 for frame memory. The address generating circuit 4 for frame memory is stepped by activation from a variable length encoding circuit 7 and reads out a reference frame signal at a prescribed position. The variable length code word generated at the variable length encoding circuit 7 is stored in a small capacity memory 44 and when the stored amount is higher than a threshold value, the interruption of variable length encoding is requested from the small capacity memory 44 to the variable length encoding circuit 7. Thus, the address changeover switch 42 is changed over, and the address terminal of the LSI memory 41 is connected to a memory write address generating circuit 10 for smoothing.

**(54) SATELLITE SIGNAL RECEIVER**

(11) 4-326282 (A) (43) 16.11.1992 (19) JP
 (21) Appl. No. 3-95623 (22) 25.4.1991
 (71) MASPRO DENKOH CORP (72) JUN UEMURA(2)
 (51) Int. Cl.⁵. H04N7/20, H04B1/16, H04N5/44

PURPOSE: To provide the satellite signal receiver which can obtain the images of fixed brightness without noise at all times regardless of deviation in the frequency of radio waves transmitted from a satellite.

CONSTITUTION: An intermediate frequency signal at a fixed level from an intermediate frequency amplifier circuit 19 is inputted through a first variable attenuation circuit 23 to an FM demodulation circuit 25, and a demodulated signal from the FM demodulation circuit 25 is inputted through a second variable attenuation circuit 31 to a video signal amplifier circuit 33. On the other hand, the attenuation amounts of the first and second variable attenuation circuits 23 and 31 are stored in a ROM 53 for each satellite and channel to be tuned by a tuning circuit 11. When executing tuning control to control the local oscillation frequency of a local oscillation circuit 13 by a control circuit 50, attenuation amount control is simultaneously executed to control the attenuation amounts of the respective variable attenuation circuits 23 and 31 to the attenuation amounts in the ROM 53.



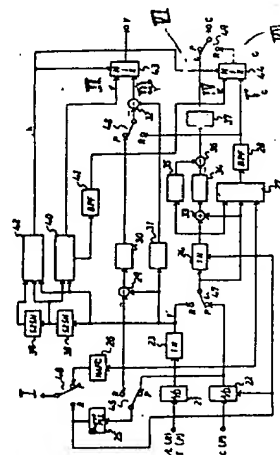
15: frequency conversion circuit, 17: intermediate frequency filter, 27: audio signal processing circuit, 57: I/O port, 63: satellite selection switch, 65: tuning switch, 67: remote control reception part, 69: remote control transmission part

(54) VIDEO SIGNAL PROCESSOR

(11) 4-326283 (A) (43) 16.11.1992 (19) JP
 (21) Appl. No. 3-95042 (22) 25.4.1991
 (71) TOSHIBA CORP (72) SEIICHI TANAKA
 (51) Int. Cl.⁵. H04N9/64, H04N5/21

PURPOSE: To realize the line NR of a luminance signal and a color signal and to simultaneously facilitate the formation of one chip IC at a circuit sharing motion adaptive three-dimensional Y/C separation and three-dimensional NR.

CONSTITUTION: A switching circuit 47 is arranged to input the Y signal to a circuit part for executing YNR while utilizing line correlation composed of a subtraction circuits 29 and 32, delay circuit 31, limiter circuit 30 and switching circuit 48 in the case of NR and to input the C signal to a circuit part for executing CNR while utilizing line correlation composed of an adder circuit 35, limiter circuit 34, subtraction circuit 36 and delay circuits 35 and 37 through a 1H delay circuit 24 provided in a Y/C separating circuit system for moving image. Thus, the 1H delay circuit 2 can be shared.



27: Y/C separation for moving image, 40: Y/C separation for still picture, 42: motion detection, I: system clock, II: still picture Y, III: moving picture Y, IV: still picture C, V: moving picture C, VI: regenerative C, VII: recorded C, k: motion signal

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-326281

(43) 公開日 平成4年(1992)11月16日

(51) Int.Cl.⁴

H 0 4 N 7/137

識別記号

庁内整理番号

F I

技術表示箇所

Z 8838-5C

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-95496

(22) 出願日 平成3年(1991)4月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 滝沢 正明

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 フレーム間予測符号化復号化装置

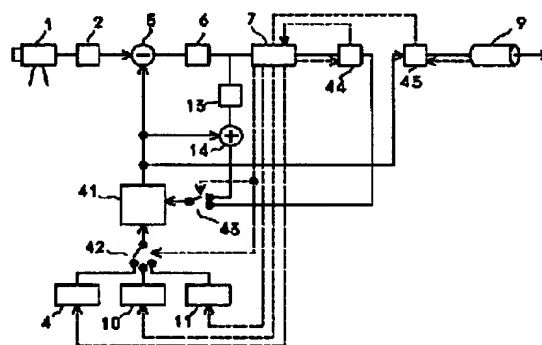
(57) 【要約】

【目的】 フレーム間予測符号化と可変長符号化を採用する画像の高効率符号化復号化装置において、フレームメモリ用と平滑化用メモリとを単一のLSIメモリにより実装することにより、装置全体の小型経済化を図る。

【構成】 平滑化用メモリに入出力する可変長符号語を小容量のメモリを通して読み書きすることにより、フレームメモリと平滑化のためのメモリへのアクセスを時分割する。

【効果】 大規模なために専用LSIに吸収しにくいフレームメモリと平滑用メモリとを単一外付けLSIメモリに吸収できるので、装置の小型化に寄与する。

図 1



1

【特許請求の範囲】

【請求項1】 フレーム間予測符号化復号化装置において、参照フレームのTV信号を格納し、予測値を出力するためのフレームメモリと、可変長符号化信号を一定の速度で伝送路に送出するための平滑化メモリとを同一のメモリチップで実装することを特徴とするフレーム間予測符号化復号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はTV信号等の高能率符号化装置に関し、特にTV信号の冗長度の圧縮率が高いフレーム間予測符号化装置の小型化を図るものである。

【0002】

【従来の技術】 周知のように、TV信号を直接デジタル信号で伝送するためには、およそ100Mbit/secの伝送速度を必要とする。これの伝送速度を低下し、伝送コストを低減するために様々な高能率符号化方式が提案されている。その中でも高い圧縮率を達成するためには、「フレーム間予測」と「可変長符号化」とを組み合わせた方式が多く採用されている。

【0003】 「フレーム間予測」とは、伝送済みの前画面（参照フレーム）の信号を用いて現在符号化する画面のTV信号を予測し、その予測値と符号化すべき信号との差分（予測誤差）を求めるものである。通常のTV信号では、画面内で静止している部分の割合が多いので、大部分の予測誤差は0か、または絶対値が0に近い値となる。従って予測誤差の発生頻度は0を中心として極端な片寄りがあることが知られる。

【0004】 そこで「可変長符号化」を用いて、発生頻度が高い予測誤差には短い符号語を割当て、発生頻度が低い予測誤差には長い符号語を割り当てる。これにより、伝送路に送出される平均符号語長を固定長符号化の場合より大短縮でき、伝送効率を向上できる。

【0005】 従って、フレーム間予測と可変長符号化を組み合わせると符号化効率を向上できるので、しばしばこの組み合わせが採用される。

【0006】

【発明が解決しようとする課題】 フレーム間予測を実現するためには、参照フレームの信号を格納するためのフレームメモリを必要とする。また、可変長符号化を採用すると、予測誤差により符号語長が変動するのに対して、伝送路における符号語の伝送速度は一定とする必要があるので、可変長符号語を一度格納し、一定速度で読み出すための平滑化メモリが必要となる。これらのフレームメモリと平滑化メモリは各々大容量となるため、画像符号化復号化装置の小型経済化の障害となっていた。

【0007】 従来のLSIメモリでは、格納できる容量が小さかったので、フレームメモリ用のLSIメモリと平滑化用のLSIメモリとを別に実装する必要があった。しかし、近年のLSIメモリの格納容量の増加によ

2

り、単一のLSIメモリによりフレームメモリと平滑化メモリとの両方を格納出来るようになってきている。それにも関わらず従来は、フレームメモリ用と平滑化メモリ用とを各々異なる汎用LSIメモリで実現したり、またはフレームメモリは汎用のLSIメモリとし、平滑化用を符号化復号化専用LSIの中に実装する等の方式を採用していた。

【0008】 そこで、近年のLSIメモリの格納容量増加に対応して、フレームメモリと平滑化用メモリとを単一のLSIメモリで兼ねられるメモリ制御方式の実現が課題となる。即ち、単一のLSIメモリに対してフレームメモリ用と平滑化用との2通りの読み書きを独立に行うことを可能とするメモリ制御方式の実現が課題となる。

【0009】

【課題を解決するための手段】 上記課題を解決するため、符号化装置においては、フレームメモリ用アドレス生成回路、平滑化用書き込みアドレス生成回路、平滑化用読み出しアドレス生成回路、上記3通りのアドレス生成回路により発生されるアドレスを切り替えるアドレス切り替え回路、フレームメモリ書き込み信号と平滑化メモリ書き込み信号を切り替える書き込み信号切り替え回路、フレームメモリと平滑化メモリからの読出し信号を各々取り込む読出し信号保持回路、可変長符号化した信号を平滑化メモリへ書き込む前に該信号を格納する第1の小容量メモリ、平滑化メモリから読出した信号を伝送路に送出する前に格納する第2の小容量メモリ、上記2個の小容量メモリの信号の蓄積量に従ってフレームメモリへの読み書きを禁止し、禁止状態になった後に小容量メモリと平滑化メモリとの間の信号の読み書きを行うメモリ制御回路、とを具備する。

【0010】 同様に、復号化装置においては、フレームメモリ用アドレス生成回路、平滑化用書き込みアドレス生成回路、平滑化用読み出しアドレス生成回路、上記3通りのアドレス生成回路により発生されるアドレスを切り替えるアドレス切り替え回路、フレームメモリ書き込み信号と平滑化メモリ書き込み信号を切り替える書き込み信号切り替え回路、フレームメモリと平滑化メモリからの読出し信号を各々取り込む読出し信号保持回路、伝送路から受信した可変長符号化信号を平滑化メモリへ書き込む前に該信号を格納する第3の小容量メモリ、平滑化メモリから読出した信号可変長復号化する前に格納する第4の小容量メモリ、上記2個の小容量メモリの信号の蓄積量に従ってフレームメモリへの読み書きを禁止し、禁止状態になった後に小容量メモリと平滑化メモリとの間の信号の読み書きを行うメモリ制御回路、とを具備する。

【0011】

【作用】 通常はLSIメモリのアドレス端子をフレームメモリ用アドレス生成回路と接続することにより、フレームメモリとしての使用には何等の障害は生じない。ま

3

た、フレームメモリとしての読み書きを禁止した後に、LSIメモリのアドレス端子を平滑化用メモリの読み書きアドレス生成回路に接続することにより、平滑化用メモリとしても動作する。

【0012】ただし、フレームメモリ用としてLSIメモリを使用した後に平滑化用メモリとして使用する場合には、一般的に次の問題がある。即ちフレームメモリ用から平滑化用への切り替えの時には多少の待ち時間を要する場合がある。何故なら、フレームメモリからの読み書きは、通常は走査線単位等の一定数の信号単位に行われるので、一度フレームメモリからの信号の読み書きが開始されると、それが完了するまでは平滑化メモリへの切り替えが出来ない場合があるからである。

【0013】そこで本発明では、上記のように小容量メモリを経由して可変長符号化結果をLSIメモリに格納したり、小容量メモリを経由してLSIメモリに格納された信号を一定速度で伝送路に送出する。これにより、上記のフレームメモリ用から平滑化用メモリへの切り替え時間を補償出来る。

【0014】

【実施例】本発明の説明を容易とするために、図4を用いて従来のフレーム間予測符号化の構成を簡単に述べる。

【0015】(1) TVカメラ1で撮像されたTV信号はアナログ/ディジタル変換器2によりアナログ/ディジタル変換され、符号化フレーム信号となる。

【0016】(2) フレームメモリ3から参照フレーム信号が読み出される。フレームメモリ3のアドレスはフレームメモリ用アドレス生成回路4により生成される。該フレームメモリ用アドレス生成回路4は、可変長符号化回路7からの起動により歩進し、所定の位置の参照フレーム信号を読出す。読み出された参照フレーム信号と上記の符号化フレーム信号との差分は、減算回路5で計算される。これをフレーム間予測誤差と呼ぶ。

【0017】(3) 上記のフレーム間予測誤差は、量子化回路6で量子化された後に、可変長符号化回路7で可変長符号化され、平滑化メモリ8を経由した後に一定速度で読み出され、伝送路9に送出される。平滑化メモリ8の書き込みアドレスは平滑化用メモリ書き込みアドレス生成回路10により生成される。該書き込みアドレス生成回路10は可変長符号化回路7から可変長符号語が送出される毎に歩進される。平滑化用メモリ読出しアドレスは平滑化用メモリ読出しアドレス生成回路11により生成される。該読出しアドレス生成回路11は、伝送路9に符号語が読み出される毎に歩進される。平滑化メモリの読出し、又は書き込みに対応して平滑化アドレス切り替えスイッチ12が切り替えられ、平滑化用読出しアドレス、または書き込みアドレスが平滑化メモリ8のアドレス端子に接続される。

【0018】(4) 上記の量子化回路6により量子化さ

4

れたフレーム間予測誤差は、逆量子化回路13により逆量子化された後に、加算回路14により、参照フレーム信号と加算され、フレームメモリ3に格納される。フレームメモリ3に格納された信号は、次のフレームを予測符号化する時に、参照フレーム信号として用いられる。

【0019】以上が従来の符号化装置の構成である。次に受信側の復号化装置の従来構成を図5を用いて説明する。

【0020】(1) 伝送路9を経由して一定速度で受信した可変長符号化信号は、平滑化メモリ21を経由して、可変長復号化回路22に読み出される。

【0021】(2) 可変長復号化回路22は、該信号を解説して予測誤差信号の量子化値を求め、逆量子化回路23を経由して元の予測誤差信号を得る。

【0022】(3) 該予測誤差信号は、加算回路24により、フレームメモリ25に格納された参照フレーム信号と加算され、元のTV信号に復元される。

【0023】(4) 該TV信号は、ディジタル/アナログ変換器26によりディジタル/アナログ変換された後に表示装置27に表示される。上記のTV信号は、フレームメモリ25に格納され、次のフレームの参照フレーム信号として用いられる。

(5) 上記において、平滑化メモリ21の読み書きアドレスは平滑化用書き込みアドレス生成回路28と平滑化用読出しアドレス生成回路29により生成され、平滑化用アドレス切り替えスイッチ30により切り替えられる。フレームメモリ25のアドレスはフレームメモリ用アドレス生成回路31により生成される。

【0024】以上説明したように、従来は符号化・復号化装置の両方ともフレームメモリ用と平滑化用のメモリを別としてきた。次に本発明の特徴であるフレームメモリ用と平滑化用とのメモリの共用の一実施例を図3に示す。即ち、LSIメモリの大きさを 512×512 とし、フレームメモリ用の領域を 352×288 とすると、図のようにその残余の例えば $(512 - 288) \times 512$ の大きさの領域を平滑化用メモリに割り当てられる。

【0025】上記のフレームメモリと平滑化用メモリの共用を符号化装置に適用する場合を、図1を用いて説明する。なお、図4と同一の番号を付与した回路は同等の機能を有する。

【0026】(1) LSIメモリ41をフレームメモリとして用いる場合には、フレームメモリ用アドレス生成回路4で生成されるアドレスと平滑化用メモリ書き込み・読出しアドレス生成回路10、11により生成されるアドレスとを切り替えるアドレス切り替えスイッチ42を通して、フレームメモリ用アドレスをLSIメモリ40のアドレス端子に接続する。同時にLSIメモリ書き込み信号切り替えスイッチ43を通して、フレームメモリ用書き込み信号をLSIメモリ40のデータ書き込み端子

5

に接続する。

【0027】(2) 可変長符号化回路7で生成された可変長符号語は、第1の小容量メモリ44に格納される。第1の小容量メモリ44における蓄積量が予め定められた閾値以上となった時には、小容量メモリ44から制御信号を可変長符号化回路7に出力し、可変長符号化の中断を要求する。

【0028】(3) 可変長符号化回路7は、走査線単位等の信号処理の切れ目等、処理中断が可能となった時に上記中断要求を取り込み、第1の中断要求受け入れ信号を送出する。これによりアドレス切り替えスイッチ42を切り替えて、LSIメモリ41のアドレス端子を平滑化用メモリ書き込みアドレス生成回路10に接続する。書き込み信号切り替えスイッチ43により第1の小容量メモリ44の出力信号をLSIメモリ41のデータ書き込み端子に接続する。

【0029】(4) 上記と同時に、第2の小容量メモリ45から一定速度で可変長符号化信号を読出し、伝送路9に送出する。第2の小容量メモリ45の蓄積量が予め定められた値以下になった時は、(2)と同じく可変長符号化回路7に制御信号を出し、可変長符号化の中断を要求する。

【0030】(5) (3)と同様に、可変長符号化回路7は中断可能な時期に、上記中断要求を取り込み、第2の中断要求受け入れ信号を送出する。これによりアドレス切り替えスイッチ42を切り替えてLSIメモリ41のアドレス端子に平滑化用メモリ読出しアドレス生成回路11を接続する。同時に第2の小容量メモリ45を書込み状態とし、第2の小容量メモリ45の書き込みアドレスを歩進する事により、LSIメモリ41から読み込んだ可変長符号化信号を第2の小容量メモリ45に書き込む。

【0031】次に本発明を復号化装置に適用した場合を図2を用いて詳しく述べる。図の中で、図5と同一番号を付与したものは同等の機能を有する。

【0032】(1) LSIメモリ51をフレームメモリとして用いる場合には、フレームメモリ用アドレス生成回路31で生成されるアドレスと、平滑化用メモリ書き込み・読み出しアドレス生成回路28、29により生成されるアドレスとを切り替えるアドレス切り替え回路52を通して、フレームメモリ用アドレスをLSIメモリ51のアドレス端子に接続する。同時にLSIメモリ書き込み信号切り替え回路53により、フレームメモリ用書き込み信号をLSIメモリ51のデータ書き込み端子に接続する。

【0033】(2) 伝送路9から一定の速度で入力する可変長符号化信号は、第3の小容量メモリ54に書き込まれる。第3の小容量メモリ54の蓄積量が予め定められた値以上になった時は、可変長復号化回路22に制御信号を出し、可変長復号化の中断を要求する。

6

【0034】(3) 可変長復号化回路22は走査線処理の切れ目等の復号化処理中断可能な時に上記中断要求を取り込み、第3の中断要求受け入れ信号を送出する。これによりアドレス切り替え回路52を切り替えてLSIメモリ51のアドレス端子に平滑化メモリ用の書き込みアドレスを接続し、書き込み状態とする。さらに書き込み信号切り替え回路53により、第3の小容量メモリ54の出力端子をLSIメモリ51のデータ書き込み端子に接続する。同時に第3の小容量メモリ54の読出しアドレスを歩進する事により、第3の小容量メモリ54に書き込まれた可変長符号化信号をLSIメモリ51に書き込む。

【0035】(4) 可変長復号化回路22は、第4の小容量メモリ55から可変長符号語を読み出す。第4の小容量メモリ55における蓄積量が予め定められた閾値以下となった時には、第4の小容量メモリ55から制御信号を可変長復号化回路22に出し、可変長復号化の中断を要求する。

【0036】(5) 可変長復号化回路22は、中断可能な時に上記の中断要求を取り込み、第4の中断要求受け入れ信号を送出する。この第4の中断要求受け入れ信号に対応して、アドレス切り替え回路52により平滑化用メモリ読出しアドレス生成回路29がLSIメモリ51のアドレス端子に接続される。同時に第4の小容量メモリ55の書き込みアドレスが歩進され、書き込み状態とすることにより、可変長符号化信号がLSIメモリ51から第4の小容量メモリに転送される。

【0037】以上説明した動作により、符号化・復号化のいずれにおいても単一のLSIメモリによりフレームメモリと平滑化メモリの両方の機能を実現できる。

【0038】なお、上記実施例においては、フレーム間予測として、単純なフレーム間予測を説明したが、フレーム間の動き量を検出し、それを補償した後にフレーム間予測を行う「動き補償フレーム間予測」にも、本発明は適用できる。

【0039】また、次のような量子化方式の変形例にも本発明は適用できる。

【0040】(1) フレーム間の予測誤差を単純に量子化する代わりに、上記予測誤差を複数個纏めてベクトル量子化する方式。

【0041】(2) 上記予測誤差を同じく複数個纏め、直交変換し、その直交変換結果を量子化する直交変換符号化方式。

【0042】

【発明の効果】本発明により、専用LSIと単一のLSIメモリによって符号化装置や復号化装置を実現出来るようになる。これは画像符号化復号化装置の小型経済化に資するので、実用上効果大である。

【図面の簡単な説明】

【図1】本発明のフレーム間符号化装置のブロック構成図。

7

8

【図2】本発明のフレーム間復号化装置のブロック構成図。

【図3】本発明を適用した時のLSIメモリ内のフレームメモリ用領域と平滑化メモリ用領域との分割の一例を示す図。

【図4】従来例のフレーム間符号化装置のブロック構成図。

【図5】従来例のフレーム間復号化装置のブロック構成図。

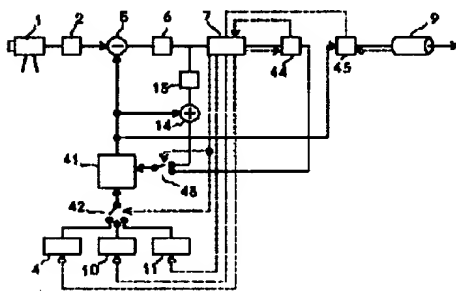
【符号の説明】

1…TVカメラ、2…アナログ／デジタル変換器、

3、25…フレームメモリ、4、31…フレームメモリ用アドレス生成回路、5…減算回路、6…量子化回路、7…可変長符号化回路、8、21…平滑化メモリ、9…伝送路、10、28…平滑化用メモリ書き込みアドレス生成回路、11、29…平滑化用メモリ読み出しアドレス生成回路、12、30、42、43、52、53…スイッチ、13、23…逆量子化回路、14、24…加算回路、22…可変長復号化回路、26…デジタル／アナログ変換器、27…表示装置、41、51…LSIメモリ、44、45、54、55…小容量メモリ。

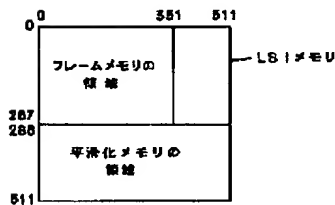
【図1】

図 1



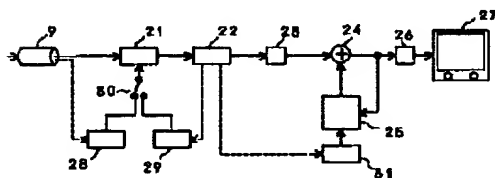
【図3】

図 3



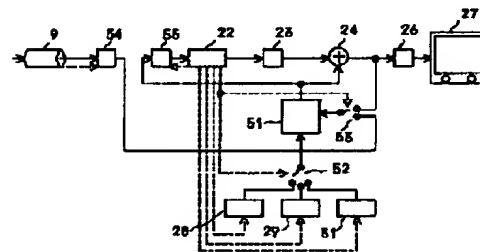
【図5】

図 5



【図2】

図 2



【図4】

図 4

